

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000006493 A  
(43)Date of publication of application: 25.01.2000

(21)Application number: 1019990024417  
(22)Date of filing: 26.06.1999  
(30)Priority: 26.06.1998 US 98 90890  
(51)Int. CI H01L 27/10

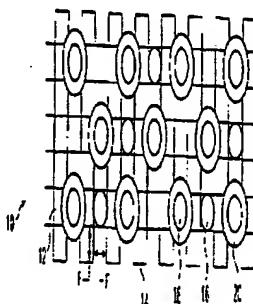
(71)Applicant: TEXAS INSTRUMENTS INCORPORATED  
(72)Inventor: NAGATA DOSIYUKI YOSIDA HIROYUKI

## (54) RELAXED LAYOUT OF DRAM STORAGE NODE

## (57) Abstract:

PURPOSE: A relaxed layout structure of DRAM storage node is provided to easily achieve a fabrication of memory cell by making spaced distance between storage node and storage node contact.

CONSTITUTION: The memory cell structure(10) comprises a plurality of bit lines(12), a plurality of word lines(14) crossing the bit lines, a plurality of storage nodes(20) and a plurality of storage node contacts(18) connected to the storage nodes(20). A bit line contact(16) has a uniform spaced distance on the connected bit lines(12). The storage node(20) and the storage node contact(18) have constant spaced distance along with the connected bit lines(12). The storage node(20) and the storage node contact(18) are off-set to the storage node and the storage node contact arranged along with the adjacent bit lines(12).



COPYRIGHT 2000 KIPO

Legal Status

특 2000-0006493

(19) 대한민국특허청 (KR)  
 (12) 공개특허공보(A)

(51) Int. Cl.<sup>a</sup>  
 H01L 27/10

(11) 공개번호 특 2000-0006493  
 (43) 공개일자 2000년 01월 25일

(21) 출원번호	10-1999-0024417
(22) 출원일자	1999년 06월 26일
(30) 우선권주장	60/090,890 1998년 06월 26일 미국(US)
(71) 출원인	텍사스 인스트루먼츠 인코포레이티드 윌리엄 비 캠플러 미국 75251 텍사스주 달라스 메일 스테이션 3999 치칠 웨이 7839
(72) 발명자	요시다 하로유키 미국텍사스주 클린카운티 플래노 패트리시아 애비뉴 6521 나가타 도시유키 미국텍사스주 클린카운티 플래노 월터스 드라이브 1709
(74) 대리인	주성민, 장수길

## 설명문서 및 그림

## (54) DRAM용 스토리지 노드에 대한 릴랙스 레이아웃

## 요약

메모리 셀 구조(10)는 복수의 비트 라인(12) 및 교차하는 워드 라인(14)를 포함한다. 비트 라인 콘택(16)은 연결된 비트 라인(12) 상에 고르게 이격되어 있다. 복수의 스토리지 노드(20) 및 연결된 스토리지 노드 콘택(18)이 제공된다. 스토리지 노드(20) 및 스토리지 노드 콘택(2)은 연결된 비트 라인(12)을 따라 고르게 이격되어 있다. 스토리지 노드(20) 및 스토리지 노드 콘택(18)은 인접하는 비트 라인(12)을 따라 배치된 스토리지 노드(20) 및 스토리지 노드 콘택(18)에 대해 오프셋되어 있다.

## 도면

## 도 1

## 설명

릴랙스 레이아웃(relaxed layout), 스토리지 노드, 스토리지 노드 콘택, 워드 라인, 비트 라인, 액세스 트랜지스터

## 도면

## 도면의 각 부위 설명

도 1은 메모리 셀 구조를 도시하는 도면.

도 2는 메모리 셀 구조에서 스토리지 노드 콘택들의 이격을 도시하는 도면.

도 3은 메모리 셀 구조에서 스토리지 노드들의 이격을 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

- 10 : 메모리 셀 구조
- 12 : 비트 라인
- 14 : 워드 라인
- 16 : 비트 라인 콘택
- 18 : 스토리지 노드 콘택
- 20 : 스토리지 노드

## 도면의 상세한 설명

## 도면의 특징

## 도면이 속하는 기술 및 그 분야의 종래기술

본 발명은 고체 상태 전자 디바이스의 분야에 관한 것으로, 특히 DRAM의 스토리지 노드의 릴랙스 레이아

웃(relaxed layout)에 관한 것이다.

최근 마이크로프로세서에 기반을 둔 시스템은 처리용 프로그램 및 데이터를 저장하기 위해 이를 동작에 필요한 메모리에 의존한다. 마이크로프로세서 시스템이 더욱 더 복잡해짐에 따라, 보다 큰 메모리가 요구된다. 더 큰 용량의 메모리가 요구되는 반면, 크기가 작고 제조가 용이한 메모리를 갖는 것이 또한 바람직하다. 메모리 어레이중 하나의 유행하는 형태가 메모리 셀이 단지 일시적으로 정보를 유지하고 주기적인 간격을 두고 리프레쉬되어야 하는 DRAM이다. 이러한 제약에도 불구하고, DRAM은 비트당 저비용, 높은 디바이스 밀도 및 사용의 용이성을 제공하기 때문에 널리 이용되고 있다.

DRAM에 있어서, 각 메모리 셀은 통상 스토리지 캐페시터에 접속된 액세스 트랜지스터를 포함한다. 메모리 셀은 액세스 트랜지스터에 연결된 일련의 교차하는 워드 및 비트 라인에 의해 액세스된다. 워드 라인은 비트 라인인 스토리지 캐페시터로부터 데이터를 판독할 수 있도록 액세스 트랜지스터를 제어한다. 중래 메모리 셀에는, 비트 라인을 따라 동일하게 미격된 복수의 비트 라인 콘택이 있다. 비트 라인 콘택은 비트 라인과 액세스 트랜지스터간의 콘택이다. 복수의 스토리지 노드 또한 비트 라인 위로 또는 아래로 고르게 미격되어 있다. 이곳이 실제 전하가 메모리 셀에 저장되는 곳이다. 스토리지 노드 콘택은 이러한 스토리지 노드와 연결되어 있다. 스토리지 노드 콘택은 액세스 트랜지스터와 스토리지 노드 또는 스토리지 캐페시터 간의 콘택이다. 전형적인 메모리 셀 구조에 있어서, 스토리지 노드 콘택은 하나의 인접하는 비트 라인에서 다른 비트 라인으로 이동할 때 서로 일직선 상태로 된다. 그러나, 전형적으로 타원형 또는 직사각형인 스토리지 노드는 하나의 비트 라인에서 인접하는 비트 라인으로 이동할 때 약간 오프셋된다. 이는 만약 스토리지 노드가 오프셋되지 않으면, 스토리지 노드가 비트 라인 콘택과 접촉하여 메모리 셀에서 쇼트가 되는 사실에 기인하기 때문이다. 스토리지 노드 자체는 전형적으로 직사각형 또는 타원형인데, 다른 형태의 경우는 인접하는 비트 라인으로부터 스토리지 노드와 접촉하여 쇼트를 유발할 위험이 있기 때문이다.

이러한 배열은 복잡한 셀 구조를 야기한다. 복잡한 셀 구조는 메모리 셀의 제조를 어렵게 만든다. 이러한 상황을 완화하기 위해, 리소그래피 동안 노광의 회수를 증가시키거나 셀 크기를 크게 할 수 있다. 그러나, 리소그래피 동안 노광 시간을 증가시키게 되면 DRAM의 제조 시간이 길어지게 된다. 셀 크기가 증가되면 침의 크기가 더 크게 된다. 이러한 접근법 모두는 메모리 구조의 비효율성 뿐만 아니라 비용의 증가를 초래한다.

### 본명이 이루고자 하는 기술적 장점

따라서, 본 발명의 기술에 따라 DRAM용 스토리지 노드의 릴랙스 레이아웃에 대한 필요성이 태우되어 온 것이 평가할 만하다. DRAM용 스토리지 노드의 중래 레이아웃에 관련된 단점 및 문제를 실질적으로 제거 또는 감소시키는 DRAM용 스토리지 노드의 릴랙스 레이아웃이 제공된다.

본 발명의 한 실시예에서, 메모리 셀 구조가 제공된다. 메모리 셀 구조는 복수의 워드 라인에 의해 교차되는 복수의 비트 라인을 구비한다. 또한, 소정의 비트 라인 상에 같은 거리랑으로 미격된 비트 라인 콘택을 포함한다. 추가적으로, 소정의 비트 라인과 연결되어 기본적으로 미격된 복수의 스토리지 노드 콘택이 제공된다. 소정의 비트 라인을 따라 동일 거리랑으로 미격된 복수의 스토리지 노드가 이를 스토리지 노드 콘택과 연결되어 있다. 본 실시예에서, 소정의 비트 라인을 따르는 스토리지 노드는 인접 비트 라인 상에 배치된 스토리지 노드에 대해 설정량까지 시프트되어 있다.

본 발명은 DRAM용 스토리지 노드의 중래 레이아웃에 비해 다양한 기술적인 장점을 제공한다. 하나의 기술적 장점을 예를 들면 소정의 릴랙스 레이아웃을 제조하는데 용이하다는 것이다. 또 다른 기술적 장점은 메모리 셀 구조에 보다 더 릴랙스 레이아웃을 허용하는 원형 스토리지 노드를 제공할 수 있다는 것이다. 다른 기술적 장점은 다음 도면, 기술적 설명, 및 첨구범위로부터 기술 분야의 당업자에게 명백히 이해될 수 있다.

### 본명의 구성 및 작용

본 발명 및 그 장점에 대한 보다 완전한 이해를 위해, 동일 참고 번호가 동일 부분을 나타내는 첨부 도면과 관련하여 다음 설명을 참조한다.

도 1은 메모리 셀 구조(10)를 도시한다. 메모리 셀 구조(10)는 복수의 워드 라인(14)에 의해 교차되는 복수의 비트 라인(12)을 구비한다. 복수의 스토리지 노드(20) 및 스토리지 노드 콘택(18)뿐만 아니라 복수의 비트 라인 콘택(16) 또한 도시되어 있다.

워드 라인(14)은 비트 라인(12)이 스토리지 캐페시터 또는 스토리지 노드(20)로부터 데이터를 판독할 수 있도록 액세스 트랜지스터를 제어한다. 비트 라인 콘택(16)은 비트 라인(12) 및 액세스 트랜지스터 간의 콘택들이다. 스토리지 노드 콘택(20)은 액세스 트랜지스터와 스토리지 캐페시터 또는 스토리지 노드(20) 간의 콘택들이다. 예시적인 실시예에서, 비트 라인(12)의 폭은 피쳐 길이로서 알려진 문자 F로 표현된 고정량이다. 이러한 피쳐 길이, F는 또한 메모리 셀 구조 워드 라인(14)의 폭이며 워드 라인(14) 및 비트 라인(12) 간의 미격 거리이다. 피쳐 길이는 메모리 형 및 메모리 셀 구조(10)가 사용되는 응용 범위에 따라 좌우된다. 전형적인 피쳐 길이는 대략 0.20 μm 길이다. 8배의 피쳐 길이로 표현된 거리가 1 피치(pitch)로서 공지된다.

도 1에 도시된 바와 같이, 비트 라인 콘택(16)은 소정의 비트 라인을 따라 8 피쳐 길이 또는 1 피치로 미격되어 있다. 주어진 비트 라인(12)과 연결된 각 비트 라인 콘택(16)은 인접 비트 라인(12)에 대해 1피치의 1/4로 시프트되어 있다. 소정의 비트 라인(12)에서, 적어도 두개의 스토리지 노드(20) 및 적어도 두개의 연결 노드 콘택(18)과 연결되어 있다. 스토리지 노드(20)는 그들이 연결된 비트 라인(12)을 따라 1/2 피치로 별도 미격된다. 스토리지 노드(20) 및 스토리지 노드 콘택(18)은 인접 비트 라인(12)에 대해 소정의 비트 라인(12) 상의 동일 지점에 위치되지 않는다. 대신에, 소정의 비트 라인(12)과 연결된 스토리지 노드(20) 및 스토리지 노드 콘택(18)은 인접 비트 라인(12)과 연결된 스토리지 노드(20) 및 스토리지 노드 콘택(18)과 비교될 때 1피치의 1/4로 시프트되어 있다. 이는 현존 셀 구조와 비교될 때 릴랙스

패턴을 갖는 대칭 레이아웃을 제공한다.

스토리지 노드(20)는 기본적으로 원형이 원형이다. 기본적으로 이러한 원형 형태는 또한 보다 용이하게 제조하기 위한 릴랙스 패턴을 초래한다.

하나의 실시예에서, 스토리지 노드(20)는 연결된 비트 라인(12)을 따라 4 피쳐 길이 또는 1/2 피쳐로 미격된다. 스토리지 노드(20)를 서로 더 가까이 미격할 수 있다. 그러나, 스토리지 노드(20)를 서로 더 가까이 미동합에 따라, 그것들은 비트 라인 콘택(16)을 침범하기 시작한다. 만약 스토리지 노드(20)가 서로 너무 가깝게 미격되면, 그것들은 비트 라인 콘택(16)과 접촉할 수 있어서 단락을 초래한다. 또한, 스토리지 노드(20)는 연결된 비트 라인(12)을 따라 1/2 피처 보다 더 미격될 수 있다. 그러나, 만약 스토리지 노드(20)가 보다 멀리 배치된다면, 보다 큰 셀 크기의 결과가 되고, 이는 보다 작은 메모리 셀을 개발하는 목적으로 어긋난다.

도 2는 스토리지 노드 콘택(18)의 미격을 도시한다. 수정의 연결 비트(12)에서, 스토리지 노드 콘택(18)은 4 피쳐 길이로 미격된다. 인접 비트 라인(12)에 대해, 스토리지 노드 콘택(18)은  $2\sqrt{2F}$  길이로 미격되어 있다. 이는 이전 메모리 셀 배열에 비해 인접 비트 라인(12)을 따라 스토리지 노드 콘택(18)을 간의 미격을 증가시킨다. 결국 메모리 셀에서의 증가된 기하학적 거리에 기인한 메모리 셀의 제조가 보다 용이해진다.

도 3은 스토리지 노드(20)의 미격을 도시한다. 수정의 비트 라인(12)에서, 스토리지 노드(20)가 4 피쳐 길이로 미격되어 있음을 알 수 있다. 그러나, 스토리지 노드(20)는 하나의 연결 비트 라인(12)에서 인접하는 연결 비트 라인(12)까지  $2\sqrt{2F}$  길이로 미격되어 있다. 이는 이전 메모리 셀 레이아웃으로부터 인접 비트 라인(12)에 대해 스토리지 노드(20)간의 거리를 증가시킨다. 다시 말해, 이는 셀 구조에서 보다 큰 기하학적 거리를 허용하여 결국 메모리 셀의 제조를 보다 용이하게 한다.

상기 DRAM 비트 라인 상의 캐페시터 및 비트 라인 하의 캐페시터와 같은 메모리 유형에 대한 임의의 기본적인 원형 콘택에 동일 기술이 사용될 수 있다.

### 발명의 효과

그러므로, 본 발명은 스토리지 노드 및 스토리지 노드 콘택 간의 미격 거리를 둘으로써, 메모리 셀의 제조를 용이하게 하고, 메모리 셀 구조에 보다 더 릴랙스 레이아웃을 허용하는 원형 스토리지 노드를 제공할 수 있는 효과가 있다.

그래서, 본 발명에 따라 상기 상술한 장점을 충족시키는 DRAM용 스토리지 노드에 대한 릴랙스 레이아웃이 제공된다는 것이 명백하다. 비록 본 발명이 상세히 기술되었지만, 다양한 변화, 대체 및 대용이 당업자에 의해 용이하게 확인될 수 있다는 것과 다음 청구 범위에 의해 한정된 바와 같이 본 발명의 사상과 범위를 벗어나지 않고 행해질 수 있다는 것을 알아야 한다.

### (57) 청구의 범위

청구항 1. 메모리 셀 구조에 있어서,

복수의 비트 라인;

연결된 비트 라인 상에 고르게 미격되어 있는 복수의 비트 라인 콘택;

상기 연결된 비트 라인을 따라 동일하게 미격되어 있는 복수의 스토리지 노드 콘택; 및

상기 연결된 비트 라인을 따라 동일하게 미격되어 있는 복수의 스토리지 노드를 구비하고,

상기 연결된 비트 라인을 따라 상기 스토리지 노드 및 스토리지 노드 콘택을 인접하는 상기 연결된 비트 라인을 따라 상기 스토리지 노드 및 상기 스토리지 노드 콘택에 대해 시프트되어 있는 것을 특징으로 하는 메모리 셀 구조.

청구항 2. 제1항에 있어서,

상기 스토리지 노드 및 스토리지 노드 콘택은 상기 인접하는 연결 비트 라인 상에 상기 스토리지 노드 및 상기 스토리지 노드 콘택에 대해 1/4 피치만큼 시프트되어 있는 것을 특징으로 하는 메모리 셀 구조.

청구항 3. 제1항에 있어서,

상기 스토리지 노드는 기본적으로 원형인 것을 특징으로 하는 메모리 셀 구조.

청구항 4. 제1항에 있어서,

상기 스토리지 노드 콘택은 기본적으로 원형인 것을 특징으로 하는 메모리 셀 구조.

청구항 5. 제1항에 있어서,

상기 메모리 셀 구조는 적층된 DRAM인 것을 특징으로 하는 메모리 셀 구조.

청구항 6. 메모리 셀 구조 레이아웃 방법에 있어서,

복수의 비트 라인을 제공하는 단계;

복수의 워드 라인을 제공하는 단계;

소정의 연결 비트 라인을 따라 고르게 미격된 복수의 비트 라인 콘택을 제공하는 단계;

상기 소정의 연결 바트 라인을 따라 고르게 미격된 복수의 스토리지 노드를 제공하는 단계;

인접하는 연결 비트 라인을 따라 스토리지 노드와 비교하여 소정의 비트 라인을 따라 상기 스토리지 노드를 오프셋하는 단계; 및

각 스토리지 노드와 연결된 스토리지 노드 콘택을 제공하는 단계;

를 포함하는 것을 특징으로 하는 메모리 셀 구조 레이아웃 방법.

청구항 7. 제6항에 있어서,

상기 스토리지 노드 및 스토리지 노드 콘택은 상기 인접하는 연결 비트 라인 상의 스토리지 노드 및 스토리지 노드 콘택에 대해  $1/4$  피치만큼 오프셋되어 있는 것을 특징으로 하는 메모리 셀 구조 레이아웃 방법.

청구항 8. 제6항에 있어서,

상기 스토리지 노드는 기본적으로 원형인 것을 특징으로 하는 메모리 셀 구조 레이아웃 방법.

청구항 9. 제6항에 있어서,

상기 스토리지 노드 콘택은 기본적으로 원형인 것을 특징으로 하는 메모리 셀 구조 레이아웃 방법.

청구항 10. 제6항에 있어서,

상기 메모리 셀은 적층형 DRAM을 형성하는 것을 특징으로 하는 메모리 셀 구조 레이아웃 방법.

청구항 11. 접적 회로용 콘택 배열에 있어서,

한 방향으로 고르게 미격되어 있는 제1 복수의 콘택; 및

상기 제1 복수의 콘택으로부터 오프셋되고, 한 방향으로 고르게 미격되어 있으며, 상기 제1 복수의 콘택에 인접하는 제2 복수의 콘택;

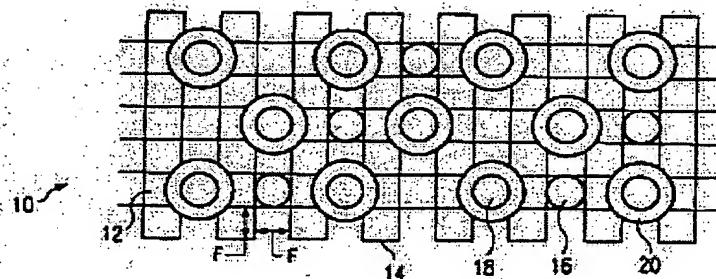
을 포함하는 것을 특징으로 하는 접적 회로용 콘택 배열.

청구항 12. 제11항에 있어서,

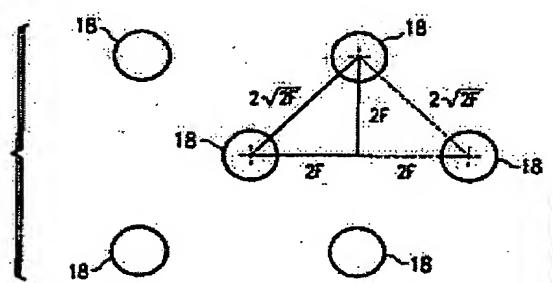
상기 오프셋은  $1/4$  피치인 것을 특징으로 하는 접적 회로용 콘택 배열.

도면

도면1



도면2



五四三

